

**102 年度技術加值服務案**  
**「無線通訊處理單元」**  
**研發成果報告**

## 一、研發目標

近年來無線通訊標準，如 LTE/LTE-A/LTE-B、802.11ac/ad、802.15.3c 等，越趨多樣化、高速化與複雜化，傳統 ASIC 的開發與驗證流程非常耗時且成本驚人，並隨著先進半導體製程的演進更形惡化，大家期待能以通用晶片平台便能應用於各類無線通訊標準晶片的開發與驗證，如德州儀器所開發的數位訊號處理器平台，此即為近年來所推展的無線基頻收發機的數位化與軟體化的概念。因此如何運用先進半導體製程結合富彈性的基頻收發機晶片平台架構，以利不同演算法與通訊協定的快速驗證與商業化，進而降低開發成本並利於 reuse，是本提案之重要目的。

本計畫之主要研發目標，便是提出一個富彈性的基頻收發機晶片平台架構，稱為無線通訊處理單元(Wireless Processing Unit, WPU)，規劃如下：

- 可利用高階語言(C, C++等)，控制 WPU 之排程及執行所需的通訊規格
- 採用多執行緒(Multi-Thread)可配置(Reconfigurable)無線通訊處理單元，以不同的描述檔案，來定義不同的無線通訊規格下之演算法，實現可置換演算法之軟體定義無線電(Software Defined Radio)的設計概念
- 搭配主從式分散架構(Client/Server Architecture)，以及使用多執行緒平行派送(Multi-Thread Parallel Computing)，透過各子運算單元將其所負責的演算法，送入集中化運算邏輯單元進行運算。此外，更結合共享可配置記憶體架構(Shared Reconfigurable Memory Architecture)，使得記憶體使用效率提高，並增加無線通訊系統之資料處理吞吐量(Throughput)，從而降低其軟體編譯器與模擬器之平行化設計的複雜度。
- 根據整體運算狀況，透過全數位動態電流及操作頻率調整，達成智慧耗能偵測調控，使得系統設計可以達到節能目的

經過 9 個月來的努力，本計畫已達成預定之研發目標，WPU 基頻收發機晶片平台已透過 CIC 以 TSMC 40nm CMOS 製程完成下線試製，樣本晶片目前已可支援 IEEE 802.11 a/n/ac、LTE clone 以及 WiMAX clone 等模式，maximum system bandwidth 可達 80MHz，在 4x4 MIMO 操作模式下，data rate 可達 382Mbps，功耗為 707 uW/MHz。詳細技術成果，將於以下章節詳述。

## 二、研發成果

本計畫在營運計畫書提出時，曾簡單提出 WPU IP 產品簡略的設計理念與構想，而後經研發團隊的腦力激盪，已將原先模糊的設計理念與構想具體化。首先，

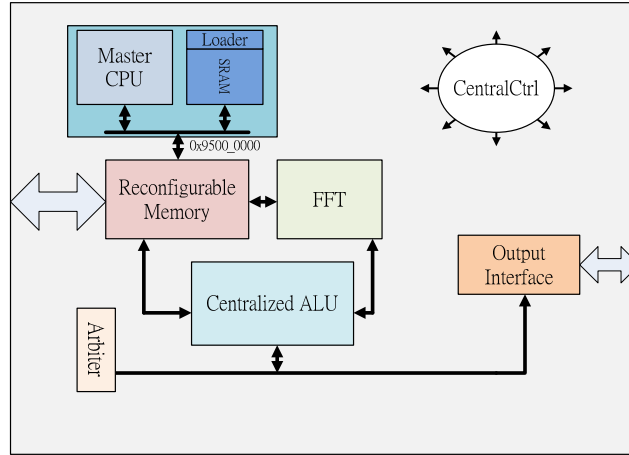


圖 1: 無線通訊處理單元主要關鍵模組方塊圖

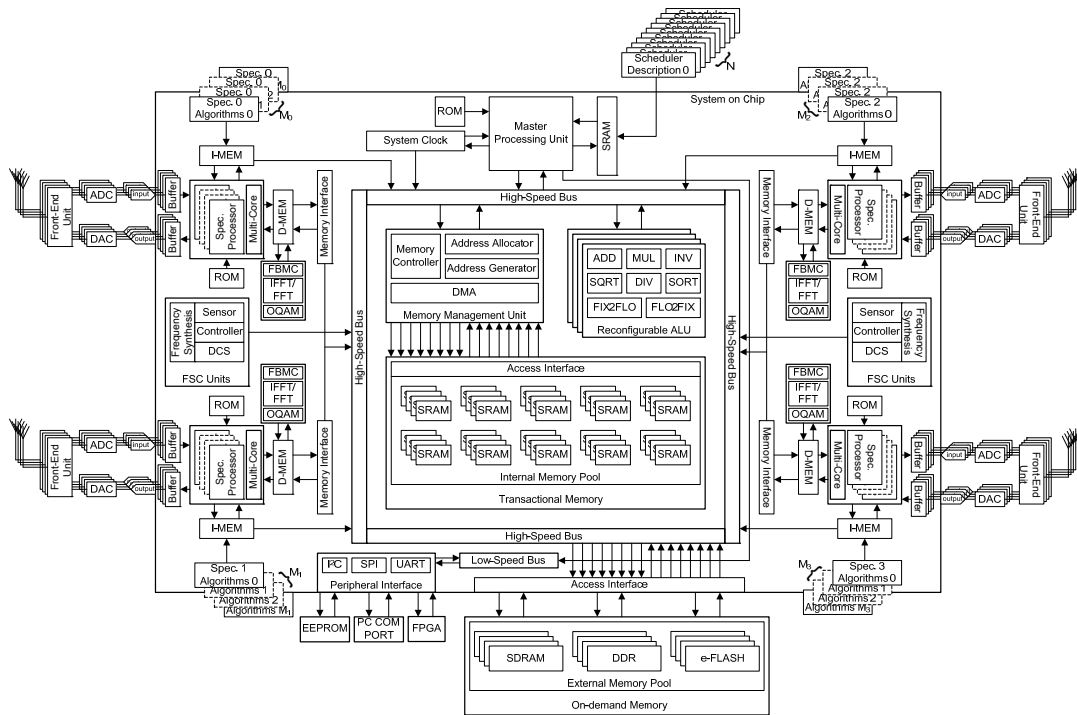


圖 2: 無線通訊處理單元詳細系統架構圖

為了達到高度的彈性，無線通訊處理單元將運算單元以及記憶單元分開，並且利用軟體控制資料之排程，如圖 1 與圖 2 所示。接著，無線通訊處理單元之詳細系統架構與運作非常複雜，因此僅就主要關鍵模組，簡單說明如下：

### 1. Master CPU

本研究利用 Master CPU 管理所有硬體並控制資料之排程，達到可以彈性支援多種規格之目標。Master CPU 使用由 OpenCores 維護的 Open RISC OR1200 CPU[4][5]，OR1200 是一種 32-bits 純量 RISC 之架構，與 WISHBONE 匯流排相容，優點是沒有 license 與 royal 費用的問題。原先規劃採用 ARM, Andes 或 8051 之 Embedded Multi- processors 架構，經腦力激盪後，決定不予以採用。

## 2. Reconfigurable Memory

本研究提出一可配置式記憶體，提供給使用 MIMO-OFDM 系統的無線通訊平台使用。利用 MIMO-OFDM 系統下，不同天線間會使用相同的硬體及相似的資料處理流程的特性，實作一個可以不改變硬體架構，利用參數配置去更改執行流程，使得本研究提出之記憶體架構，能夠因應不同無線通訊規範之所需。本研究提出之整體架構則主要分為大量輸入資料的處理及資料儲存。在處理大量輸入的資料上，是使用排程的概念，利用不同的排程，達成使用固定的硬體可以處理不一樣的資料輸入規格。而在資料儲存的部分，是將原本分散給不同演算法的記憶體集中為一個中央集中的記憶體系統，集中的記憶體除了可以節省記憶體的使用量外，還有利於動態分配記憶體。在這個系統中的資料儲存都是使用虛擬位址的方式搭配上動態分配記憶體，分配記憶體的大小，最小可以小到單個 word，這使得記憶體的使用非常有彈性，除了可以配合不同的資料格式，並且也不容易產生記憶體的畸零空間，提高記憶體的使用率。圖 3 為 Reconfigurable Memory 的方塊圖

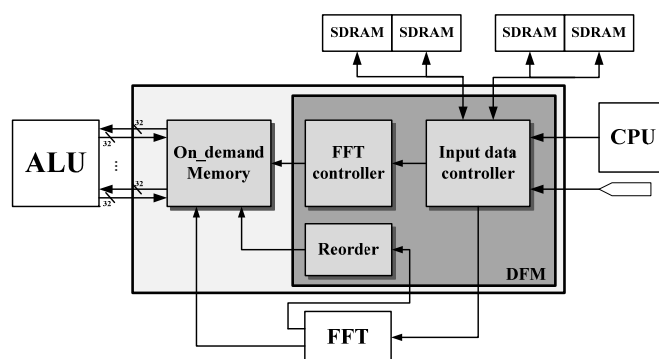


圖 3: Reconfigurable Memory 之方塊圖

### 3. Centralized ALU

本研究提出並且實作一個集中式算術邏輯單元 (Arithmetic Logic Unit, ALU)，透過仲裁器將預存於多個子運算單元中之通訊演算法重複利用並平行分派演算資料路徑，以增加運算效率，目標是成為可支援 LTE/LTE-A/LTE-B 和 IEEE 802.11ac/ad 等基頻收發機之無線通訊處理平台。

表一: Centralize ALU 可支援之運算及延遲周期 (N 為資料長度)

<i>Instruction</i>	<i>Clock Latency</i>	<i>Instruction</i>	<i>Clock Latency</i>
Addition	$3+(N-1)$	Complex Multiplication	$8+(N-1)$
Subtraction	$3+(N-1)$	Complex Division	$7+(N-1)$
Multiplication	$7+(N-1)$	Floating Complex Addition	$5+(N-1)$
Division	$7+(N-1)$	Floating Complex Subtraction	$5+(N-1)$
Floating Addition	$5+(N-1)$	Floating Complex Multiplication	$8+(N-1)$
Floating Subtraction	$5+(N-1)$	Sort	N
Floating Multiplication	$5+(N-1)$	Square Root	$9+(N-1)$
Complex Addition	$3+(N-1)$	Cross Correlation	$10+(N-1)$
Complex Subtraction	$3+(N-1)$	Matrix Inverse	56

此運算系統透過共享匯流排，平行接收通訊演算法模組關鍵運算指令，目前共提供 19 種指令集，包括基本運算、浮點數、複數、浮點複數、開平方根、排序和反矩陣等通訊演算法常用的運算，表一為 Centralized ALU 可支援之運算及延遲周期。

由於無線通訊系統需要大量的運算，電路內的算術邏輯單元必須透過平行處理和管線(pipeline)架構來增加運算的吞吐量。我們規劃使用硬體描述語言 Verilog 實作運算系統架構，並且提供足夠的擴展空間以降低未來系統的設計成本。此算術邏輯單元可在同一時間內處理多條指令，並且避免結構危障的發生。為了能更快獲得一個指令的運算結果，可將此指令分成多個相同的指令平行處理。若是多條不同的指令平行運算，可以增加指令的吞吐量。另一方面，將指令的資料路徑分成多階段，是為了運算連續的資料，避免產生暫停而必須將資料儲存。可重組的運算架構能讓多個指令共享運算器，降低

硬體使用成本，並且未來能在不改變架構的情況下，變更運算器或運算指令。

#### 4. FFT

隨著無線通訊技術的進展，所展現的傳輸速度越來越快，於是正交分頻多工 (MIMO) 被提出以達到高頻譜使用率。為實現正交分頻多工技術，需運用到快速傅利葉轉換(FFT)，而 FFT 是一個占用大量計算以及硬體空間之區塊。因此本研究提出一個 Scalable FFT 處理器設計，除可以達到高速規格需求，也可以減低硬體空間之花費。本 FFT 處理器乃採用一條單路徑的架構，它結合 Radix-2 及 Radix-4 演算法來完成 512、1024、2048 三種長度點數的處理。其中為了要強化他的訊號對量化雜訊比(SQNR)，本研究採用了浮點數表示法讓資料可以更準確的表達，減低若是以固定點表示法所需要的硬體消耗。

#### 5. 時脈產生器

本研究提出一可利用參數控制之全數位時脈產生器。此時脈產生器可由外部參數調整時脈周期，讓 WPU 可以符合各種規格需求之操作時脈。下圖為本研究提出之時脈產生器方塊圖，本時脈產生器可用來產生約比輸入時脈快  $N_f$  倍之時脈以供目標模組使用。下圖 3 為時脈產生器之方塊圖。

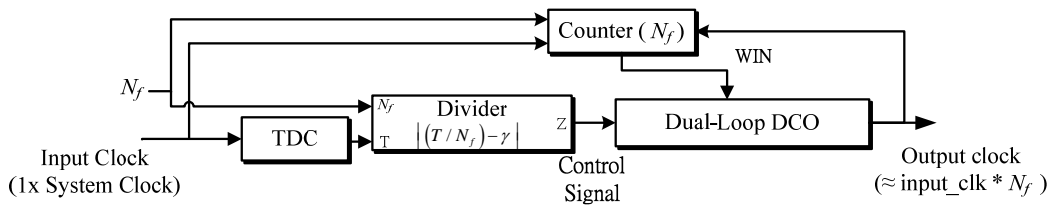


圖 3：時脈產生器之方塊圖

### 三、重大突破

本計畫所提出之 WPU 晶片平台架構，目前已可支援 IEEE 802.11 a/n/ac、LTE clone 以及 WiMAX clone 等模式，並已於今年第三季透過 CIC 以 TSMC 40nm 1P9M CMOS 製程 tapeout，結果符合本計畫之預期。與相關研究相較之下，本研究確可達到較高的資料吞吐量。表二展現本研究成果與相關研究之比較表。表三為本計畫提出之詳細之規格表。

表二、目前程式化基頻處理器與本計畫之比較

	SoC'09[1]	JSSC'09[2]	ISCAS'11[3]	This work
支援天線數	2 x 2	2 x 2	N/A	<b>4 x 4</b>
製程	65nm	0.12um	65nm	<b>40nm</b>
支援通訊標準	LTE	WiMAX, DVB-T/H	GSM, GPRS, EDGE, UMTS, HSUPA, HSDPA, LTE, GMR1-3G	<b>IEEE 802.11a/n/ac LTE/WiMAX Clone</b>
Gate counts	270k	200k	20000K	<b>4813K</b>
SRAM	1T	1.5Mbit	3.8 MByte	<b>8KB + 6KB Latch Memory</b>
Chip Size	8 mm <sup>2</sup>	11mm <sup>2</sup>	N/A	<b>2.85x2.85 mm<sup>2</sup></b>
(Max) System Bandwidth	20 MHz	70MHz	5MHz	<b>80MHz</b>
Data Rate	N/A	95.01Mbps *	N/A	<b>382Mbps</b>

● \* speed normalize: 31.67Mbps x (0.12um/40nm) = 95.01Mbps

表三、WPU 之詳細規格表

設計名稱	WPU	
使用製程	TSMC 40nm 1P9M CMOS	
晶片面積	2.850 x2.850 mm <sup>2</sup>	
邏輯閘數 (gate counts)	Centralized ALU	745 K
	CPU	36.6 K

	Latch Memory (Include Memory Controller)	2866K	
		Storage size	6KB
	FFT	851K	
	Total	4813K	
SRAM	Size	8KB x 1	
	Area	891.03 x 145.84 $\mu\text{m}^2$	
CPU	OpenRISC 1200		
	Data Cache	N/A	
	Instruction Cache	N/A	
FFT	Support Length	128/512/1024/2048	
功率消耗	707 uW/MHz		
支援規格	IEEE 802.11a/n/ac LTE Clone Mode		
天線數	4T4R		
最高操作頻率	80MHz		
Maximum Throughput	382Mbps		
Utilization	61.2429%		



#### 四、未來研發規劃

目前本研究成果已受到國內創投的重視，本團隊也已經與創投洽談投資合作。然創投為確保投資效益，要求本團隊應先行產出晶片樣本，並完成初步場測，以驗證 WPU 的實用性與無線傳輸效能，作為創投評估投資效益的重要依據。因此本計畫未來的研發重點之一，就是要開發 WPU 的參考設計電路板，並說服無線通訊系統廠共同合作，開發 OFDM-based 長距離無線通訊離型系統，經由場測驗證並修正 WPU 參考設計與演算法，以符合商業化的需求，並累積實戰信譽以昭公信。

此外，先進製程(如 40nm CMOS 製程等)投產相當昂貴，國內外有資格參與先進製程競賽的 IC 設計公司已越趨稀少，對於引進先進製程之矽智財將更為保守與謹慎，新創公司若無一定之商譽與實戰績效，很難吸引這等 IC 設計公司的目光，因此與通訊系統廠共同合作開發長距離無線通訊離型系統，經由場測驗證並修正 WPU 參考設計與演算法，是累積實戰信譽的必經之路。

綜合以上兩點，與無線通訊系統廠合作，以 WPU 的參考設計開發長距離無線通訊離型系統，並通過場測與驗證，是 WPU IP 商業化的必經之路。此外，長距離無線通訊離型系統若通過系統廠之認可，下一步就會將長距離無線通訊產品樣本，送交系統廠各潛在客戶進行評估，很快的將面臨 CIC 下線試製的晶片樣本短缺，難以為繼。本計畫經過市場搜尋，發現 Xilinx Zynq-7000 FPGA 平台是 WPU IP 的優良載具。Xilinx Zynq-7000 系列 FPGA 根據 gate count 與所支援的 clock rate，單價約在 USD 6x~2xxx，是系統廠所能承受的範圍。例如，美國無線通訊系統廠 Mobilicom 就採用 Xilinx Zynq-7000 系列 FPGA，開發出 MCU-30 4G LTE clone 無線通訊產品(請參考

<http://press.xilinx.com/2013-07-16-Xilinx-Zynq-7000-All-Programmable-SoCs-Enable-Mobilicoms-Advanced-Peer-to-Peer-Software-Defined-Radios>)。

MCU-30 實現軟體定義無線電的概念，工規系列之重量約 300 公克(軍規系列約 400 公克)，尺寸大小(11 x 8 x 3 cm)約如一個滑鼠，功耗 8W，詳細規格與應用，請參考 Mobilicom 公司網站(<http://www.mobilicom.com/>)。



MCU-30

MCU-30 的應用偏向於軍、警、消與行業專網，例如安全、監控、UAV/UGV、機器人、個人攜帶等應用。這些專網市場的特性是量少、高單價、高可靠度、高客製化需求等，正是 WPU 展現特色與價值的領域。因此，將 WPU IP 結合 Xilinx Zynq-7000 FPGA 平台應用於長距離無線通訊專網領域與市場，將是本計畫未來研究與推廣的重點。至於原先規劃將 WPU IP 應用於公網之行動終端(如手機、Tablet 等) 領域與市場，將待本團隊建立商譽與實戰績效後，再積極進行推廣。

## Reference

- [1] Di Wu , Johan Eiler and Dake Liu, et al“System Architecture for 3GPP LTE Modem using a Programmable Baseband Processor,” IEEE International Symp. on SOC, SOC 2009, Tampere, Finland, 5-7 Oct. 2009, pp. 132-137
- [2] Ander Nilsson, Eric Tell, Dake Liu, “An 11 mm<sup>2</sup>, 70 mW Fully Programmable Baseband Processor for Mobile WiMAX and DVB-T/H in 0.12 um CMOS,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 44, no. 1, pp.90-97, JANUARY 2009
- [3] U.Ramacher, W. Raab, et al “Architecture and Implementation of a Software-Defined Radio Baseband Processor,” IEEE International Symposium on Circuits and Systems, ISCAS 2011, Rio de Janeiro, Brazil, 15-18 May 2011, pp. 2193-2196